

PHOTOELECTRIC CONVERTER AND PIXEL PANEL

Patent Number: JP2000101058
Publication date: 2000-04-07
Inventor(s): ISHII TAKAMASA; MOCHIZUKI CHIORI
Applicant(s):: CANON INC
Requested Patent: ☒ JP2000101058 (JP00101058)
Application Number: JP19980270090 19980924
Priority Number(s):
IPC Classification: H01L27/146 ; H01L29/786 ; H01L21/336 ; H01L31/10 ; H04N5/335
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a photoelectric converter having a low resistance of a pixel driving line Vg, a high driving speed, a lower capacitance at the cross point of the Vg line and a signal line Sig, a high aperture and a high sensitivity.

SOLUTION: The photoelectric converter comprises a plurality of pixels having photoelectric conversion elements P11-P44 and thin film transistors T11-T44 arranged like a matrix on an insulation substrate, driving lines Vg1-8 connecting drivers to each pixel, and signal lines Sig1-4 connecting each pixel to a reader wired in directions substantially perpendicular to the driving lines. A pixel area composed of the pixels is divided in a plurality of regions in directions perpendicular to the driving lines and connected to drivers disposed adjacent the divided regions.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-101058

(P2000-101058A)

(43) 公開日 平成12年4月7日 (2000.4.7)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 1 L 27/146

H 0 1 L 27/14

C 4 M 1 1 8

29/786

H 0 4 N 5/335

V 5 C 0 2 4

21/336

H 0 1 L 29/78

6 1 1 5 F 0 4 9

31/10

31/10

G

H 0 4 N 5/335

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号

特願平10-270090

(22) 出願日

平成10年9月24日 (1998.9.24)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 石井 孝昌

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(72) 発明者 望月 千織

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(74) 代理人 100065385

弁理士 山下 穰平

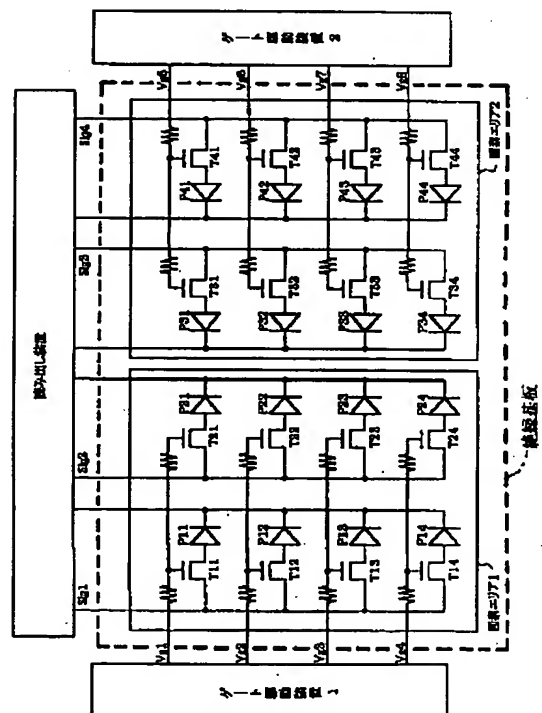
最終頁に続く

(54) 【発明の名称】 光電変換装置及び画素パネル

(57) 【要約】

【課題】 画素の駆動線 (Vg線) の抵抗が小さく、駆動速度が速く、Vg線と信号線 (Sig線) のクロス部のキャパシタンスが小さく、開口率と感度の高い光電変換装置を提供する。

【解決手段】 一つの絶縁基板上に、マトリックス状に配列された、光電変換素子P11~44と薄膜トランジスタT11~44を有する複数の画素と、駆動装置と各画素を接続する駆動線Vg1~8と、該駆動線と実質的に直交する方向に配線された読み出し装置と各画素を接続する信号線Sig1~4と、を有する光電変換装置において、前記複数の画素からなる画素エリアを、前記駆動線と垂直方向に、複数の領域に分割し、該分割領域に隣接して配置された前記駆動装置に接続して構成したことを特徴とする光電変換装置。



【特許請求の範囲】

【請求項1】 一つの絶縁基板上に、マトリックス状に配列された、光電変換素子と薄膜トランジスタ（TFT）を有する複数の画素と、該画素に駆動信号を印加する駆動装置と、該画素から出力される信号を読み出すための読み出し装置と、前記駆動装置と各画素を接続する駆動線と、該駆動線と実質的に直交する方向に配線された前記読み出し装置と各画素を接続する信号線とを有する光電変換装置において、

前記画素の領域を、前記駆動線と垂直方向に複数の領域に分割し、該分割領域に隣接して配置された前記駆動装置に接続し、

及び／又は、前記画素領域を、前記信号線と垂直方向に複数の領域に分割し、該分割領域に隣接して配置された前記読み出し装置に接続して構成したことを特徴とする光電変換装置。

【請求項2】 前記分割領域の間隔を画素ピッチ以内としたことを特徴とする請求項1に記載の光電変換装置。

【請求項3】 前記分割領域間に、前記分割領域内の画素領域と、光の透過率および反射率が実質的に同等の配線部を形成したことを特徴とする請求項1又は2記載の光電変換装置。

【請求項4】 前記配線部は、前記各画素と同様の構成からなるダミー画素であることを特徴とする請求項3記載の光電変換装置。

【請求項5】 前記配線部が、基準電位に接続されたことを特徴とする請求項3又は4記載の光電変換装置。

【請求項6】 絶縁基板上に、薄膜トランジスタを有する画素を複数個配列した画素領域と、該薄膜トランジスタの駆動線と、該薄膜トランジスタの主電極に接続される前記画素の信号線とを有する画素パネルにおいて、前記画素領域が、前記駆動線に垂直及び／又は前記信号線に垂直方向に複数の領域に分離されていることを特徴とする画素パネル。

【請求項7】 前記駆動線が接続する回路部及び／又は前記信号線が接続する回路部を、前記分離された画素領域に隣接して配置したことを特徴とする請求項6に記載の画素パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、マトリックス状に配列された光電変換素子を有する光電変換装置、エリアセンサー、X線撮像装置に関するものである。

【0002】

【従来の技術】 従来の光電変換装置を図7に示す。図7において、P11～P44は光電変換素子（ここではフォトダイオード）、T11～T44は薄膜トランジスタ（TFT）である。図示するように、一般に各TFTのゲート電極は共通のゲート線Vg1～4に接続されている。各ゲートラインはTFTのON、OFFを制御す

る。

【0003】 また、図示するように各TFTのソースまたはドレイン電極は共通の信号線Sig1～4に接続されており、Sig1～4は読み出し装置に接続されている。信号線に接続されるTFTのCgsおよび信号線とゲート線のクロス部容量C_{cross}は信号線容量を形成する。入射光より光電変換素子で発生した電荷は、ゲート駆動装置により印加されるゲート駆動パルスにより信号線に転送され読み出し装置により読み出される。

【0004】

【発明が解決しようとする課題】 一方、大面積化が進むに従い以下のような問題点が生じる。

【0005】 図8に、従来の光電変換装置のVg1に印加されるゲートパルスの図7に示すAおよびBにおける波形の概念図を示す。図7のように、ゲート駆動装置から離れるほどゲート線の抵抗Rおよびゲート線の寄生容量によりBのごとくパルスにナマリが生じる。すなわちBにおいても十分に光電変換素子で発生した電荷を転送するにはTonを長くする必要があった。

【0006】 また素子数が多く、基板サイズが大きい場合には信号線容量すなわちCgsの総和、クロス部C_{cross}の総和が大きくなり感度が低下するという問題点があった。

【0007】 更に画素エリア（画素領域）の大面積化が進むに従いマスクサイズも大きくなり、露光機、マスク等の精度によりパターンの微細化が困難になる。その結果、開口率が低下しこれに伴い出力が低下するという問題点が生じた。

【0008】 すなわち従来の光電変換装置においては
1. 画素エリアが大面積になればなるほどVg線の抵抗が大きくなり、図8に示すようにAとBの入力波形は異なり、Bにおいて十分な電荷を転送するための時間が必要であるため、駆動速度が低下する；
2. 前記と同じく画素エリアが大面積になればなるほど信号線容量が大きくなり、感度が低下する；
3. 画素エリアの大面積化が進むに従い、露光機、マスク等の精度により開口率が低下する；
という問題点があった。

【0009】 【発明の目的】 本発明の目的は、上記の問題点を除去するものであり、Vg線の抵抗が小さく、駆動速度の速い光電変換装置、およびVg線とSig線のクロス部のキャパシタンスが小さく、開口率と感度の高い光電変換装置を提供することを目的としている。

【0010】

【課題を解決するための手段】 本発明は、上述した課題を解決するための手段として、一つの絶縁基板上に、マトリックス状に配列された、光電変換素子と薄膜トランジスタ（TFT）を有する複数の画素と、該画素に駆動信号を印加する駆動装置と、該画素から出力される信号を読み出すための読み出し装置と、前記駆動装置と各画

素を接続する駆動線と、該駆動線と実質的に直交する方向に配線された前記読み出し装置と各画素を接続する信号線とを有する光電変換装置において、前記画素エリア（領域）を、前記駆動線と垂直方向に複数の領域に分割し、該分割領域に隣接して配置された前記駆動装置に接続し、及び／又は、前記画素エリアを、前記信号線と垂直方向に複数の領域に分割し、該分割領域に隣接して配置された前記読み出し装置に接続して構成したことを特徴とする光電変換装置を提供するものである。

【0011】また、前記分割領域の間隔を画素ピッチ以内としたことを特徴とする光電変換装置でもある。

【0012】また、前記分割領域間に、前記分割領域内の画素エリアと、光の透過率および反射率が実質的に同等の配線部を形成したことを特徴とする光電変換装置でもある。

【0013】また、前記配線部は、前記各画素と同様の構成からなるダミー画素であることを特徴とする光電変換装置でもある。

【0014】また、前記配線部が、基準電位に接続されたことを特徴とする光電変換装置でもある。

【0015】また、絶縁基板上に、薄膜トランジスタを有する画素を複数個配列した画素領域と、該薄膜トランジスタの駆動線と、該薄膜トランジスタの主電極に接続される前記画素の信号線とを有する画素パネルにおいて、前記画素領域が、前記駆動線に垂直及び／又は前記信号線に垂直方向に複数の領域に分離されていることを特徴とする画素パネルでもある。

【0016】また、前記駆動線が接続する回路部及び／又は前記信号線が接続する回路部を、前記分離された画素領域に隣接して配置したことを特徴とする画素パネルでもある。

【0017】〔作用〕本発明によれば、駆動線（Vg線）と垂直方向に画素エリア（領域）を分割することにより、Vg線の抵抗を小さくすることができる。

【0018】また、信号線（Sig線）と垂直方向に画素エリアを分割することにより、Vg線とSig線のクロス部のキャパシタンスを小さくすることができる。

【0019】さらに、Vg線、Sig線それぞれと垂直方向に画素エリアを分割することにより、RとC_{cross}を小さくすることができる。

【0020】これにより、Vg線の抵抗が小さく、駆動速度の速い光電変換装置、およびVg線とSig線のクロス部のキャパシタンスが小さく、開口率と感度の高い光電変換装置を実現することができる。

【0021】

【発明の実施の形態】以下、本発明の実施の形態を、以下の実施形態とともに図面を参照しつつ詳細に説明する。

【0022】〔実施形態1〕以下本発明の光電変換装置の第1の実施形態を図面を用いて説明する。図1は本発

明の光電変換装置の第1の実施形態を説明する等価回路図である。

【0023】本実施形態では、一つの絶縁基板上に、マトリクス状に配列された、光電変換素子と薄膜トランジスタを有する複数の画素と、該画素の駆動信号を出力する駆動装置と、該画素から出力される信号を読み出すための読み出し装置と、前記駆動装置と各画素を接続する駆動線（ゲート線Vg1～8）と、該駆動線と実質的に直交する方向に配線された前記読み出し装置と各画素を接続する信号線（Sig1～4）と、を有する光電変換装置において、前記複数個の画素からなる画素エリアを、前記駆動線と垂直方向に、複数の領域に分割し、該分割領域ごとに、該分割領域に隣接して配置された前記駆動装置に接続して構成した。

【0024】図1において、P11～44は光電変換素子、T11～44はTFTである。図示するようにTFTのゲート電極は共通のゲート線Vg1～8に接続されている。Vg1～4はTFTのON、OFFを制御するゲート駆動装置1に、同様にVg5～8はゲート駆動装置2に接続されている。

【0025】また図示するように、各TFTのソースまたはドレイン電極は共通の信号線Sig1～4に接続されており、Sig1～4は読み出し装置に接続されている。信号線に接続されるTFTのC_{gs}および信号線とゲート線のクロス部容量C_{cross}は信号線容量を形成する。入射光より光電変換素子で発生した電荷は、ゲート駆動装置により印加されるゲート駆動パルスにより信号線に転送され読み出し装置により読み出される。

【0026】なお、光電変換素子P11～44、TFT：T11～44は、一つの絶縁基板上に形成されている。

【0027】また画素エリア（領域）の分割形成については、エリアの分割のなされたパターンマスクで一括露光により形成する。ここで、各画素エリアの間隔は1画素ピッチ以内とする。さらに、分割された領域間に光の透過率および反射率を他の画素エリアと同等にする役割を果たす、光電変換素子と同様の構成からなる配線を設け、前記配線を基準電位に接続することにより、各領域間のシールド効果をもたせる。

【0028】〔実施形態2〕以下本発明の光電変換装置の第2の実施形態を図面を用いて説明する。図2は本発明の光電変換装置の第2の実施形態を説明する等価回路図である。

【0029】本実施形態では、画素エリアを、前記信号線と垂直方向に、複数の領域に分割し、該分割領域ごとに、該分割領域に隣接して配置された前記読み出し装置に接続して構成した。

【0030】図2において、P11～44は光電変換素子、T11～44はTFTである。図示するようにTFTのゲート電極は共通のゲート線Vg1～4に接続され

ている。Vg1～4はTFTのON、OFF制御するゲート駆動装置に接続されている。

【0031】また図示するように各TFTのソースまたはドレイン電極は共通の信号線Sig1～8に接続されており、Sig1～4は読み出し装置1に、同様にSig5～8は読み出し装置2に接続されている。信号線に接続されるTFTのCgsおよび信号線とゲート線のクロス部容量C_{cross}は信号線容量を形成する。入射光より光電変換素子で発生した電荷は、ゲート駆動装置により印加されるゲート駆動パルスにより信号線に転送され読み出し装置により読み出される。

【0032】なお、光電変換素子P11～44、TFT:T11～44は、一つの絶縁基板上に形成されている。

【0033】また画素エリアの分割形成については、図2において分割されている上下それぞれのパターンマスクを用いて、分割露光により形成する。ここで、各画素エリアの間隔は1画素ピッチ以内とする。さらに、分割された領域間に光の透過率および反射率を他の画素エリアと同等にする役割を果たす、光電変換素子と同様の構成からなる配線を設け、前記配線を基準電位に接続することにより、各領域間のシールド効果をもたせる。

【0034】〔実施形態3〕以下本発明の光電変換装置の第3の実施形態を図面を用いて説明する。図3は本発明の光電変換装置の第3の実施形態を説明する等価回路図である。

【0035】本実施形態では、前記画素エリアを、前記駆動線と垂直方向に、複数の領域に分割し、該分割領域ごとに、該分割領域に隣接して配置された前記駆動装置に接続し、かつ、前記画素エリアを、前記信号線と垂直方向に、複数の領域に分割し、該分割領域ごとに、該分割領域に隣接して配置された前記読み出し装置に接続して構成した。

【0036】図3において、P11～44は光電変換素子、T11～44はTFTである。図示するようにTFTのゲート電極は共通のゲート線Vg1～8に接続されている。Vg1、2はTFTのON、OFF制御するゲート駆動装置1に、同様にVg3、4はゲート駆動装置2に、Vg5、6はゲート駆動装置3に、Vg7、8はゲート駆動装置4に接続されている。

【0037】また図示するように、各TFTのソースまたはドレイン電極は共通の信号線Sig1～8に接続されている。Sig1、2は読み出し装置1に、同様にSig3、4は読み出し装置2に、Sig5、6は読み出し装置3に、Sig7、8は読み出し装置4に接続されている。信号線に接続されるTFTのCgsおよび信号線とゲート線のクロス部容量C_{cross}は信号線容量を形成する。入射光より光電変換素子で発生した電荷は、ゲート駆動装置により印加されるゲート駆動パルスにより信号線に転送され読み出し装置により読み出される。

【0038】なお、光電変換素子P11～44、TFT:T11～44は、一つの絶縁基板上に形成されている。

【0039】また画素エリアの分割形成については、図3において分割されている画素エリア1、3また画素エリア2、4をそれぞれ同じパターンマスクを用いて、分割露光により形成する。ここで、各画素エリアの間隔は、1画素ピッチ以内とする。

【0040】図4に、Sig線またはVg線と同程度の幅を持ったダミー配線を設けた本実施形態の模式図を示す。図4において、分割された領域間に光の透過率および反射率を他の画素エリアと同等にする役割を果たす、光電変換素子と同様の層構成からなるダミー配線を設け、前記配線を基準電位接続することにより、各領域間のシールド効果をもたせる。

【0041】〔実施形態4〕以下、本発明の光電変換装置の第4の実施形態を、図面を用いて説明する。図5は、本発明の光電変換装置の第4の実施形態を説明する等価回路図、図6は、その模式的平面図である。

【0042】なお、光電変換素子P11～44、TFT:T11～44は、一つの絶縁基板上に形成されている。

【0043】図6は、各領域に分割された画素エリア間の中心部の模式図を示す。同図において、ダミー画素D1～D9は、各画素と同様の層構成、形、領域となっており、図4のダミー配線と同様の効果を持つ。ダミー画素の光電変換素子、TFTの端子は、全て基準電位に接続されている。

【0044】上述したように、前記分割領域間に設けられる配線部としては、ダミー画素に限ることはなく、前記分割領域内の画素エリアと、光の透過率および反射率が実質的に同等の任意の配線部を形成してもよい。

【0045】〔他の実施形態〕以上、光電変換装置の実施形態について、説明したが、本発明は、光電変換装置に限ることはなく、一つの絶縁基板上に、薄膜トランジスタを有する画素を複数個配列した画素領域と、該薄膜トランジスタの駆動線と、該薄膜トランジスタの主電極に接続される前記画素の信号線とを有する画素パネルであれば、前記画素領域を、前記駆動線に垂直及び／又は前記信号線に垂直方向に複数の領域に分離することにより、同様の効果を得ることができる。

【0046】また、前記駆動線が接続する駆動回路等の回路部及び／又は前記信号線が接続する読取回路等の回路部を、前記分離された画素領域に隣接して配置することにより、同様の効果を得ることができる。

【0047】また、このような画素パネルにおいても、分割領域の間隔を画素ピッチ以内とすることにより、また、前記分割領域間に、前記分割領域内の画素エリアと、光の透過率および反射率が実質的に同等の配線部を形成することにより、また、前記配線部を、前記各画素

と同様の構成からなるダミー画素とすることにより、また、前記配線部を基準電位に接続することにより、それぞれ、同様の効果を得ることができる。

【0048】

【発明の効果】以上説明したように、本発明の光電変換装置は、画素エリアを駆動線（Vg線）と垂直方向に分割することにより、駆動線（Vg線）の抵抗を小さくし駆動速度を速くする効果がある。

【0049】また、画素エリアを信号線（Sig線）と垂直方向に分割することにより、駆動線（Vg線）と信号線（Sig線）のクロス部のキャパシタンスを小さくし感度を上げる効果がある。

【0050】さらに、画素エリアの大面积化が進む際の、露光機、マスク等の精度による開口率の低下を防ぐ効果がある。

【0051】さらに、分割された領域間に光電変換素子と同様の構成からなる配線を設けることにより、光の透過率および反射率を他の画素エリアと同等にし、前記配線を基準電位（例えばGND）に接続することにより、各領域間のシールド効果をもたせることができる。

【図面の簡単な説明】

【図1】本発明の光電変換装置の第1の実施形態を説明する等価回路図である。

【図2】本発明の光電変換装置の第2の実施形態を説明

する等価回路図である。

【図3】本発明の光電変換装置の第3の実施形態を説明する等価回路図である。

【図4】本発明の光電変換装置の第3の実施形態において、ダミー配線を設けた等価回路図である。

【図5】本発明の光電変換装置の第4の実施形態を説明する等価回路図であり、分割された画素エリア間にダミー配線として、ダミー画素を形成した等価回路図である。

【図6】第4の実施形態において分割された画素領域とダミー画素を示す模式的平面ブロック図である。

【図7】従来の光電変換装置の回路図である。

【図8】従来の光電変換装置のVg1に印加されるゲートパルスの図7に示すAおよびBにおける波形の概念図である。

【符号の説明】

P11～44 光電変換素子

T11～44 TFT（薄膜トランジスタ）

Vg1～8 共通のゲート線（駆動線）

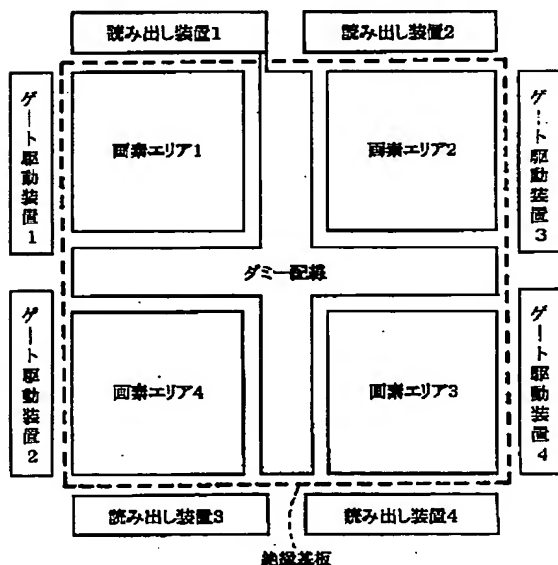
Sig1～8 共通の信号線

Ton TFTのon時間

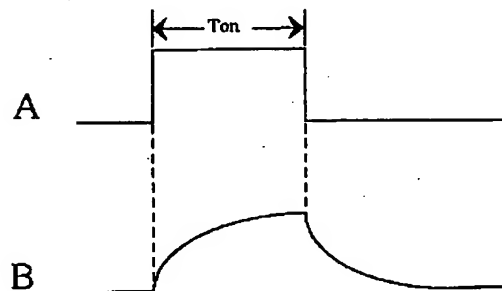
Cgs 信号線容量

Cクロス 信号線とゲート線のクロス部容量

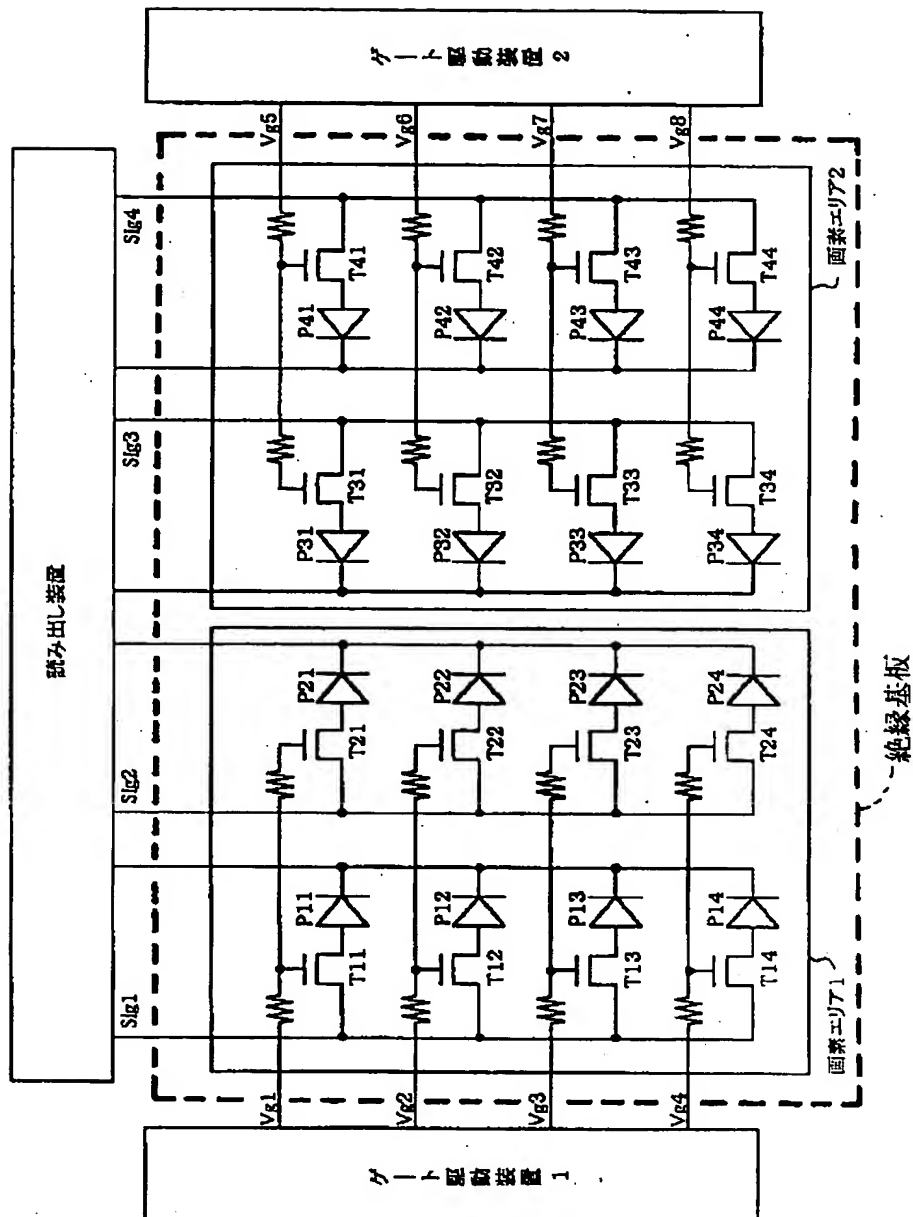
【図4】



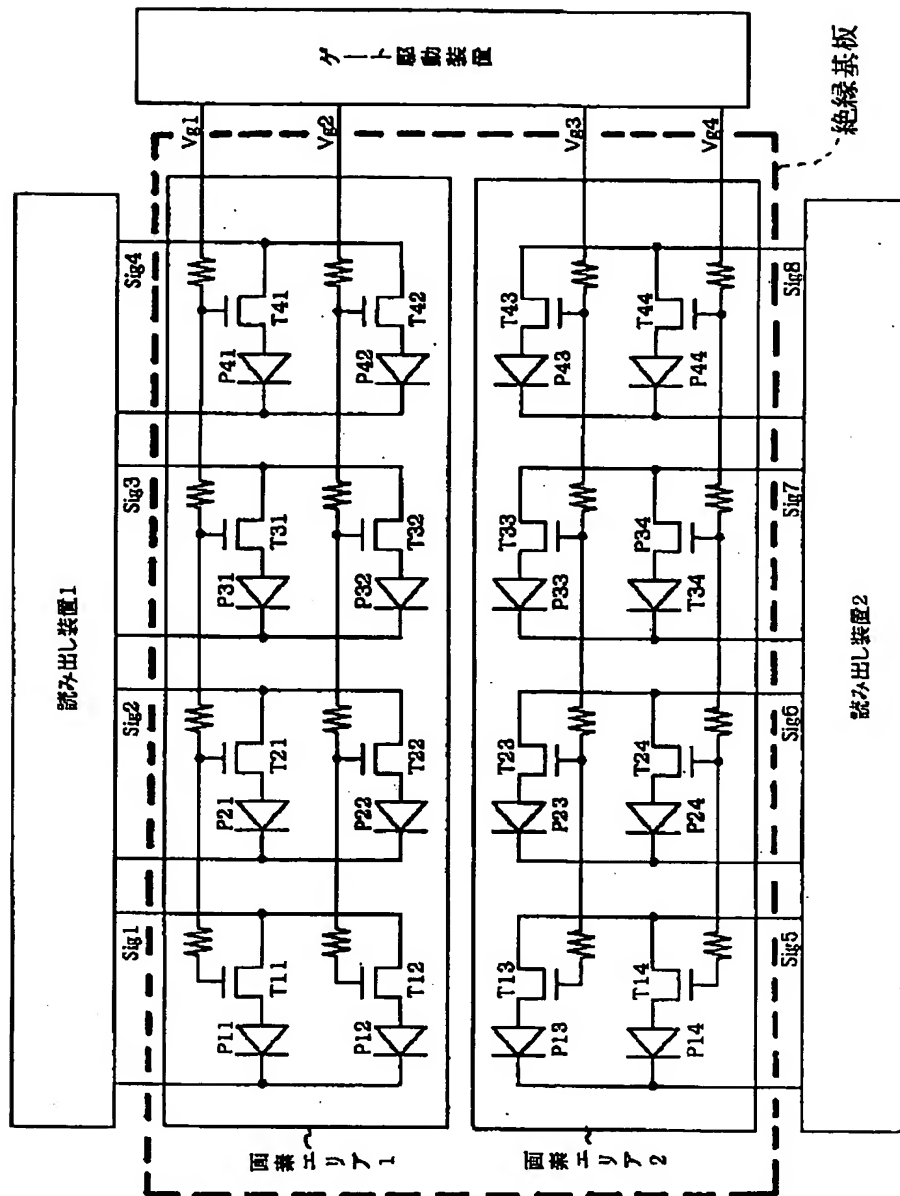
【図8】



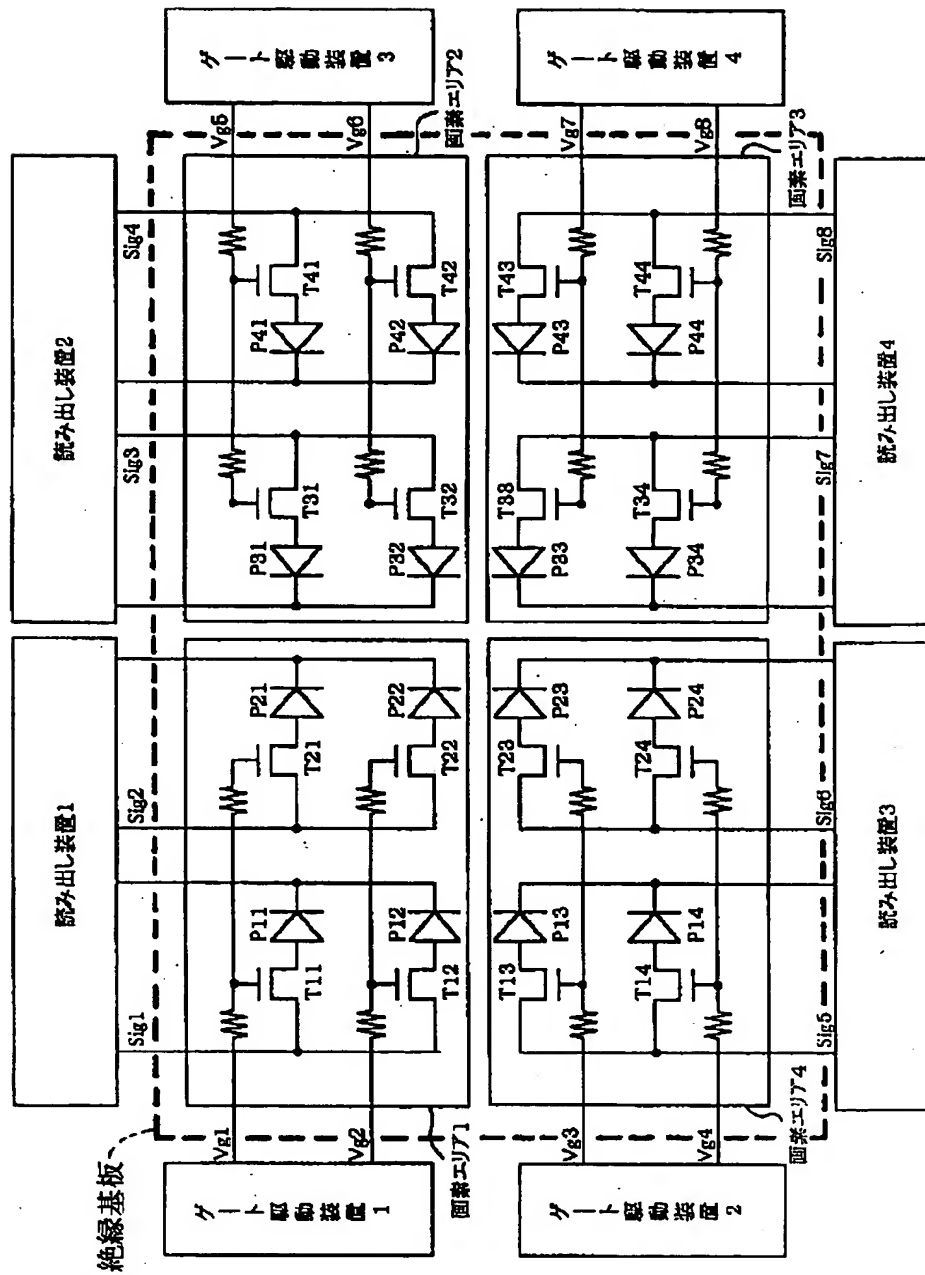
【図1】



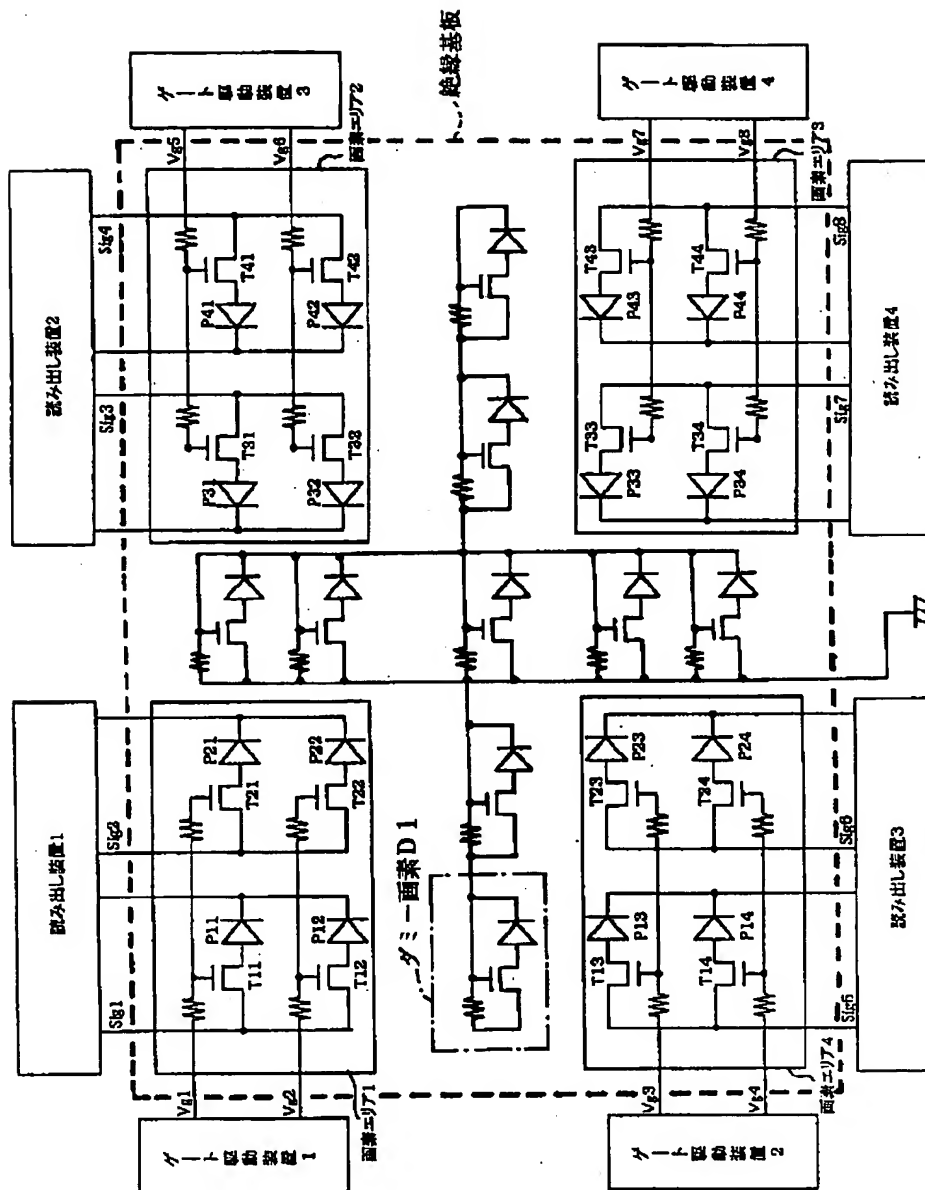
【図2】



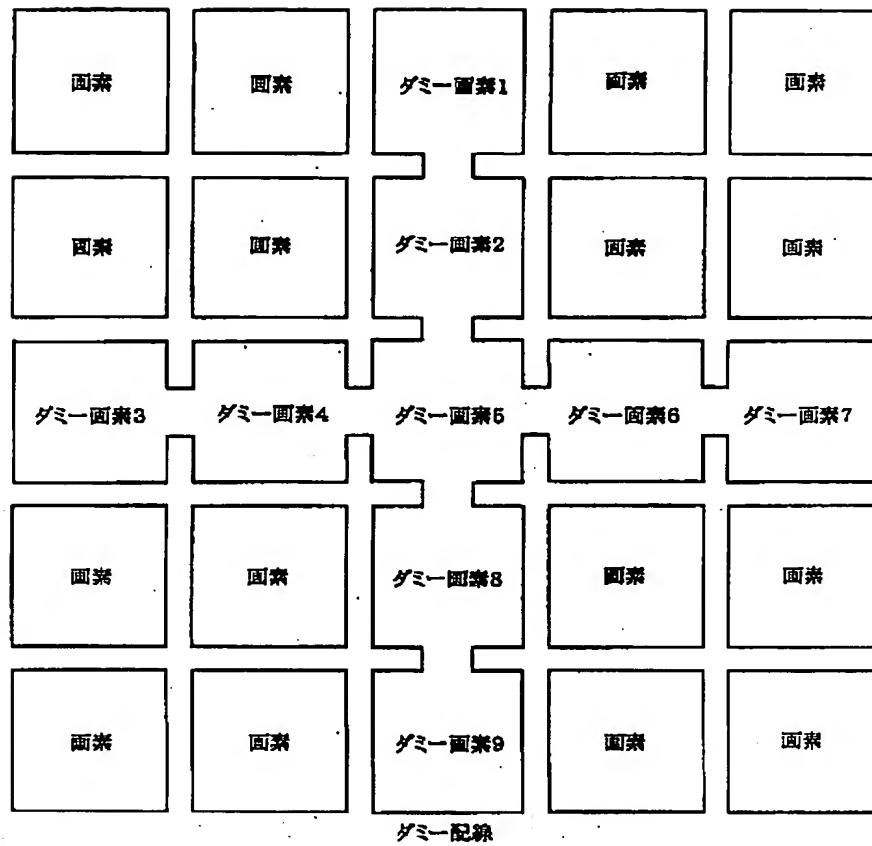
【図3】



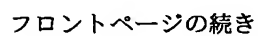
【図5】



【図6】



読み出し装置



F ターム(参考) 4M118 AA01 AA05 AA10 AB01 BA05
CA02 DB16 FB03 FB09 FB13
FB19 FB20 FB25 FB29
5C024 AA11 CA12 CA16 FA12 GA01
GA51
5F049 NB03 NB05 RA06 SS01 UA01
UA20